

(19) JAPANESE PATENT OFFICE (JP)

(11) Japanese Laid-Open Patent Application (Kokai) No. S52-87983

(12) Official Gazette for Laid-Open Patent Applications (A)

(43) Disclosure Date: July 22, 1977

(51) Int. Cl. ² Classification Symbols:	(52) Japanese Classification	Internal Office Registration Nos.:
H 01 L 21/31	99(5) C 23	7216-57
H 01 L 21/28	99(5) C 1	7216-57
H 01 L 21/302	99(5) A 04	6521-57

Request for Examination: Not yet submitted

Number of Inventions: 1

(Total of 3 pages [in original])

(54) Title of the Invention: Method for Manufacturing Semiconductor Device

(21) Application No. S51-4117

(22) Filing Date: January 19, 1976

(72) Inventor: Keiji Miyamoto
c/o Musashino Works, Hitachi, Ltd.
1450 Jyosui-honcho, Kodaira-shi

(72) Inventor: Hiroshi Kato
c/o Musashino Works, Hitachi, Ltd.
1450 Jyosui-honcho, Kodaira-shi

(72) Inventor: Toru Kawanobe
c/o Musashino Works, Hitachi, Ltd.
1450 Jyosui-honcho, Kodaira-shi

(71) Applicant: Hitachi, Ltd.
1-5-1 Marunouchi, Chiyoda-ku, Tokyo

(74) Agent: Toshiyuki Usuda, Patent Attorney

[Column No. 1]

SPECIFICATION

Title of the Invention

Method for Manufacturing Semiconductor Device

Claims

A method for manufacturing semiconductor device, characterized in that a polyimide resin film is formed over the entire surface of a semiconductor [Translator's note: 'semiconductor' wafer is used midway through the document and changed to 'silicon' wafer thereafter] wafer on which elements have been formed, and bump electrode holes are formed in this polyimide resin film, after which metal bump electrodes are formed, and then the semiconductor wafer is diced.

Detailed Description of the Invention

The present invention relates to a method for manufacturing a semiconductor device.

The surface protection film of a semiconductor device used to be removed by chemical etching in the scribed area around a chip. This is because in the scribing step conducted when a semiconductor wafer was divided up into chips, the surface protection film would crack or break apart, which precluded the desired passivation effect from being achieved, and because if there was no surface protection film in the scribed area, finer lines could be cut, there was less breakage around the edges of the chips and less residual internal stress, and the fracture surface was cleaner.

However, when a conventional semiconductor device

[Column No. 2]

was structured such that metal bump electrodes whose main component was gold (Au), lead (Pb), or the like were provided over a surface protection film composed of a polyimide resin (which was used to protect the surface of the semiconductor device), a drawback was that the polyimide resin around the edges of the scribed area would swell and peel away in the chemical etching step performed in the formation of these metal bump electrodes. Consequently, after the semiconductor wafer had been divided up into chips, the surface protection film composed of polyimide resin around the edges of the chips could not provide the desired passivation effect, which diminished the reliability of the semiconductor device.

Accordingly, the present invention was conceived in light of the above problems encountered in the past, and it is an object thereof to provide a method for manufacturing a highly reliable semiconductor device, which prevents delamination of the surface protection film composed of a polyimide resin around the edges of the chips.

To achieve this object, the present invention is a method for manufacturing semiconductor device, characterized in that a polyimide resin film is formed over the entire surface of a semiconductor wafer on which elements have been formed, and bump

electrode holes are formed in this polyimide resin film, after which metal bump electrodes are formed, and then the semiconductor wafer is diced.

[Column No. 3]

The present invention will now be described in specific terms through examples.

Figs. 1 to 6 are cross sections illustrating the steps entailed by the method for manufacturing a semiconductor device in an example of the present invention. In these drawings, 1 is a silicon wafer on which elements such as diodes or transistors have been formed, and 2 is a silicon oxide film formed on the surface of the above-mentioned silicon wafer 1, such that the surface of the silicon wafer 1 is exposed over the electrode contact portions of the elements formed on the silicon wafer 1, and the dicing area of the silicon wafer 1. 3 is an aluminum wiring layer that serves as the electrodes and wiring of the above-mentioned elements, 4 is a polyimide resin film that serves as a surface protection film, 5 is a chromium thin film that serves as an underlying metal film of the bump electrodes, 6 is a gold thin film that similarly serves as an underlying metal film, and 7 is a lead-tin (Pb-Sn) solder bump electrode that serves as the bump electrodes.

The method for manufacturing a semiconductor device pertaining to the present invention

[Column No. 4]

will now be described in detail in the order of the steps thereof.

(A) A silicon oxide film 2 is formed on the surface of a silicon wafer 1 on which elements have been formed. This silicon oxide film 2 may also be a masking silicon oxide film for the selective diffusion of impurities, used to form the elements on the silicon wafer 1.

This silicon oxide film 2 is selectively removed by photoetching to form electrode contact holes and expose the surface of the silicon wafer 1 in the dicing areas. An aluminum wiring layer 3 is then formed by aluminum vapor deposition and photoetching (Fig. 1).

(B) The entire surface of the above-mentioned silicon wafer 1 is coated with a polyimide resin to form a polyimide resin film 4 as a surface protection film (Fig. 2).

(C) Metal bump electrode holes are formed in the polyimide resin film 4 by photoetching. The polyimide resin film 4 here remains over the dicing areas, without being etched away. A chromium thin film 5 is then formed over the wafer 1, and a gold thin film 6 is then formed over the entire surface of this chromium thin film 5 by vapor deposition (Fig. 3).

[Column No. 5]

(D) The unnecessary portions of the gold thin film 6 and the underlying chromium thin film 5 are then removed by photoetching (Fig. 4). Since the dicing areas are covered by the polyimide resin film 4 during this photoetching, the wafer 1, the silicon oxide film 2, and the aluminum wiring layer 3 are not affected by the etching solution, etc., nor is there any decrease in adhesion between these and the polyimide resin film 4, or any resulting delamination of these from each other.

(E) Lead-tin (Pb-Sn)-based solder bump electrodes 7 are formed over the gold thin film 6 (Fig. 5).

(F) A high-speed rotary multi-blade dicing machine is used to cut the dicing areas of the wafer 1 and form chips (Fig. 6).

The semiconductor device and manufacturing method therefor pertaining to the present invention and discussed above have the advantages listed below.

(1) The polyimide resin film 4 is left behind as a surface protection film over the dicing areas of the silicon wafer 1,

[Column No. 6]

and photoetching for forming the metal bump electrodes 5, 6, and 7 is performed in this state, after which the silicon wafer 1, including the polyimide resin film 4, is diced to form chips [Translator's note: there is what appears to be a typo in the Japanese here, but the probable intended meaning is reflected in the translation]. Accordingly, adhesion between the polyimide resin film 4 around the edges of the chips and the silicon wafer 1, the silicon oxide film 2, and the aluminum wiring layer 3 is not adversely affected at all by the above steps, and there is no delamination between these whatsoever. As a result, the surface protection around the edges of the chips is complete, and the semiconductor device pertaining to the present invention affords extremely high reliability.

(2) After undergoing the above treatment, the silicon wafer 1 is diced into individual chips, for which a high-speed rotary multi-blade dicing machine is used, so the dicing area width can be kept to a minimum, there is less breakage around the edges of the separated chips and less residual internal stress, the fracture surface is smooth, and furthermore all of this can be accomplished through a simple procedure.

[Column No. 7]

(3) The present invention is not limited to the semiconductor device manufacturing method described above, and various kinds of metal thin film and metal bump electrode can be used for the chromium thin film 5, the gold thin film 6, or the lead-tin solder bump electrodes 7. The present invention can also be applied to various aspects of a semiconductor device manufacturing method.

Brief Description of the Drawings

Figs. 1 to 6 are cross sections illustrating the semiconductor device in an example of the present invention and the steps entailed by the manufacturing method thereof.

1 ... silicon wafer, 2 ... silicon oxide film, 3 ... aluminum wiring layer, 4 ... polyimide resin film (used for surface protection), 5 ... chromium thin film, 6 ... gold thin film, 7 ... lead-tin solder bump electrode

Agent: Toshiyuki Usuda, Patent Attorney [seal]

Figure 1

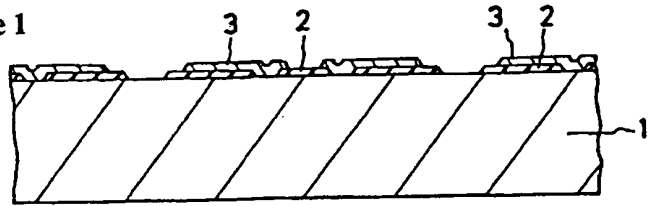


Figure 2

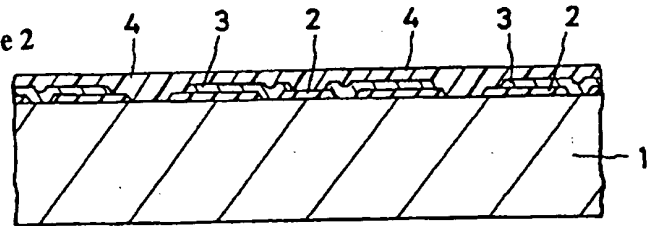


Figure 3

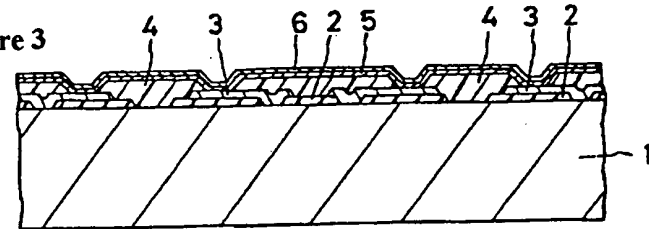


Figure 4

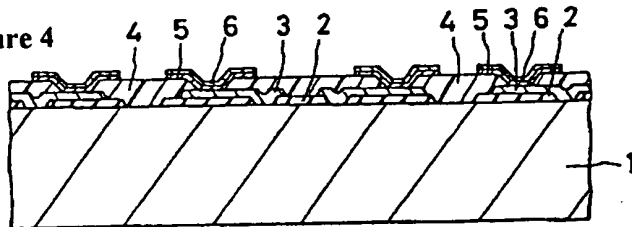


Figure 5

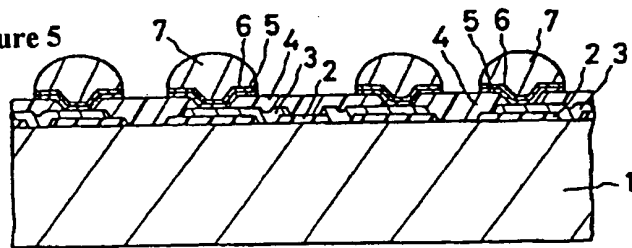
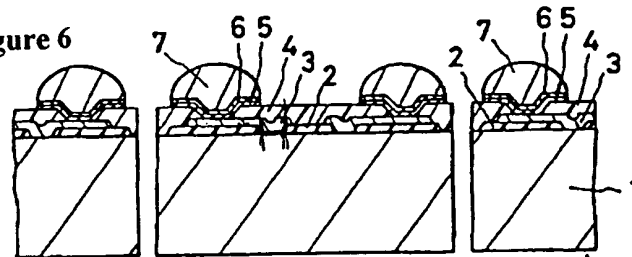


Figure 6



⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭52—87983

⑪Int. Cl. ²	識別記号	⑫日本分類	庁内整理番号	⑬公開	昭和52年(1977)7月22日
H 01 L 21/31		99(5) C 23	7216—57		
H 01 L 21/28		99(5) C 1	7216—57	発明の数	1
H 01 L 21/302		99(5) A 04	6521—57	審査請求	未請求

(全 3 頁)

⑭半導体装置の製造方法

⑮特 願 昭51—4117
⑯出 願 昭51(1976)1月19日
⑰発 明 者 宮本圭二
小平市上水本町1450番地株式会
社日立製作所武蔵工場内
同 加藤弘
小平市上水本町1450番地株式会

社日立製作所武蔵工場内
⑱発 明 者 川野辺徹
小平市上水本町1450番地株式会
社日立製作所武蔵工場内
⑲出 願 人 株式会社日立製作所
東京都千代田区丸の内一丁目5
番1号
⑳代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

素子が形成された半導体ウエーハ全面にポリイミド樹脂膜を形成し、このポリイミド樹脂膜にパンプ電極穴を形成したのち、金属パンプ電極を形成し、しかるのち上記半導体ウエーハをダイシングすることを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明は、半導体装置の製造方法に関する。

従来、半導体装置の表面保護膜は、チップ周辺のスクライプ領域上では化学エッチング処理により取り除いていた。これは、半導体ウエーハをチップに分割する際のスクライピング工程において、上記表面保護膜が割れたり欠けたりして、十分にパシベーション効果を奏しないためと、スクライプ領域に表面保護膜がないと、より細い線が切れ、チップ周辺の欠けや残留内部応力も少なく破断面がきれいになるためである。

しかしながら、従来の半導体装置において、そ

の表面保護膜としてポリイミド樹脂を使用し、このポリイミド樹脂からなる表面保護膜上に金(Au)や鉛(Pb)等を主成分とする金属パンプ電極を設けた構造のものは、その金属パンプ電極を成形する際の化学エッチング処理工程において、スクライプ領域周辺のポリイミド樹脂が膨潤したりしてはがれるという欠点があつた。そのため、半導体ウエーハをチップに分割したのちのチップ周辺のポリイミド樹脂からなる表面保護膜は、十分なパシベーション効果を果たすることができず、半導体装置の信頼度を低下させていた。

それゆえ、本発明の目的は、上述した従来の諸欠点に鑑みて、ポリイミド樹脂からなる表面保護膜のチップ周辺におけるはがれを防止した高信頼度の半導体装置の製造方法を提供することにある。

このような目的を達成するため、本発明においては、素子が形成された半導体ウエーハ全面にポリイミド樹脂膜を形成し、このポリイミド樹脂膜にパンプ電極穴を形成したのち、金属パンプ電極を形成し、しかるのち上記半導体ウエーハをダ

イシシングすることを特徴とする半導体装置の製造方法とするものである。

以下、本発明にかかる実施例を用いて具体的に説明する。

第1図～第6図は、本発明の一実施例である半導体装置の製造方法を工程順に示す断面図である。同図において、1は、ダイオード、トランジスタなどの素子が形成されたシリコンウエーハ、2は、上記シリコンウエーハ1表面に形成された酸化シリコン膜で、シリコンウエーハ1に形成された素子の電極コンタクト部とシリコンウエーハ1のダイシング領域上には、シリコンウエーハ1表面が露出している形状のものである。3は、前記素子の電極および相互配線であるアルミニウム配線層、4は、表面保護膜であるポリイミド樹脂膜、5は、パンプ電極の下地金属膜であるクロム薄膜、6は、同じく下地金属膜である金薄膜、7は、パンプ電極である鉛-錫(Pb-Sn)系のはんだパンプ電極である。

さて、本発明にかかる半導体装置の製造方法を

(3)

全表面に金薄膜6を蒸着により形成する(第3図)。

(イ) ついで、上記金薄膜6およびこの膜下のクロム薄膜5の不要部分をフォトリソエッチングによりエッチオフする(第4図)。このフォトリソエッチング工程において、ダイシング領域にはポリイミド樹脂膜4が被覆してあるために、エッチング液などによりウエーハ1、酸化シリコン膜2、アルミニウム配線層3が侵されることはなく、かつ、これらとポリイミド樹脂膜4との接着性が悪化して、それらがたがいに剥がれるということもなくなる。

(ロ) 上記金薄膜6上に鉛-錫(Pb-Sn)系のはんだパンプ電極7を形成する(第5図)。

(ハ) 高速回転マルチブレードダイシングマシンを用いて、ウエーハ1のダイシング領域を切斷しチップを形成する(第6図)。

上述したように本発明にかかる半導体装置およびその製造方法は、下記に述べるような諸長を有するものである。

(1) シリコンウエーハ1のダイシング領域上に表面保護膜としてのポリイミド樹脂膜4を残して

(5)

工程順に詳細に説明する。

(イ) 素子が形成されたシリコンウエーハ1表面に酸化シリコン膜2を形成する。なお、この酸化シリコン膜2は、シリコンウエーハ1に素子を形成するのに用いた選択不純物拡散のためのマスク用酸化シリコン膜であつてもよい。

この酸化シリコン膜2をフォトリソエッチングにより選択的に除去して電極コンタクト用穴を形成すると共に、ダイシング領域のシリコンウエーハ1表面を露出させる。ついで、アルミニウム蒸着とフォトリソエッチング技術とを用いてアルミニウム配線3を形成する(第1図)。

(ロ) 上記シリコンウエーハ1上にポリイミド樹脂を全面塗布して表面保護膜としてのポリイミド樹脂膜4を形成する(第2図)。

(ハ) 上記ポリイミド樹脂膜4をフォトリソエッチングして金属パンプ電極用穴を形成する。この場合、ダイシング領域上のポリイミド樹脂膜4はエッチオフせず、残しておく。ついで、ウエーハ1上にクロム薄膜5を形成し、ついでこのクロム薄膜5

(4)

おいた状態で、金属パンプ電極5、6、7の形成のためのフォトリソエッチング処理を行ない、しかるのちにシリコンウエーハ1をポリイミド樹脂膜4をも含めてダイシングレッチップを形成するものである。そのため、チップ周辺のポリイミド樹脂膜4とシリコンウエーハ1、酸化シリコン膜2、アルミニウム配線層3との接着性は、上記諸工程によつて何ら悪影響を受けず、それらがたがいに剥がれるということは皆無となる。そのため、チップ周辺の表面保護は完全なものとなり、本発明にかかる半導体装置は、極めて高い信頼度を有するものとなる。

(2) ウエーハ処理を終了したシリコンウエーハ1を個々のチップに分割するダイシング工程において、一度にシリコンウエーハ1を切斷する高速回転マルチブレードダイシングマシンを使用するため、ダイシング領域幅を可及的に小とできると共に、分割されたチップ周辺の欠けや残留内部応力も小となり、その破断面がきれいに仕上がるものであり、しかもそれを単純な作業工程をもつ

(6)

て行なうことができる。

(3) 本発明は、上述した半導体装置の製造方法に限定されることなく、クロム薄膜5、金薄膜6、鉛-錫系はんだパンプ電極7にかかわらず、種々の金属薄膜および金属パンプ電極に適用でき、かつ、種々の態様の半導体装置の製造方法に適用できるものである。

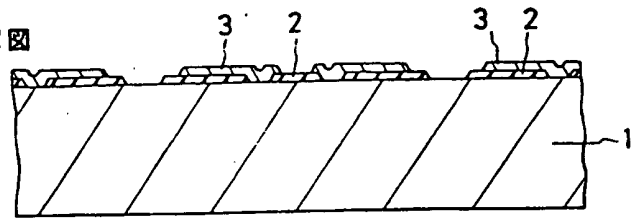
図面の簡単な説明

第1図～第6図は、本発明の一実施例である半導体装置およびその製造方法を工程順に示す断面図である。

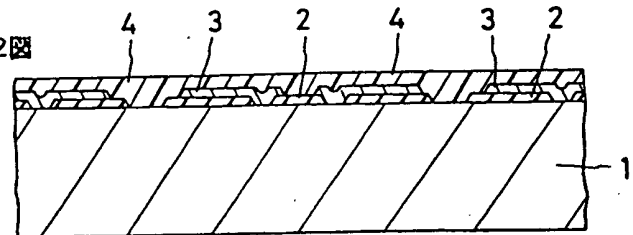
1…シリコンウエーハ、2…酸化シリコン膜、3…アルミニウム配線層、4…表面保護膜としてのポリイミド樹脂膜、5…クロム薄膜、6…金薄膜、7…鉛-錫系はんだパンプ電極。

代理人 弁理士 薄 田 利 幸

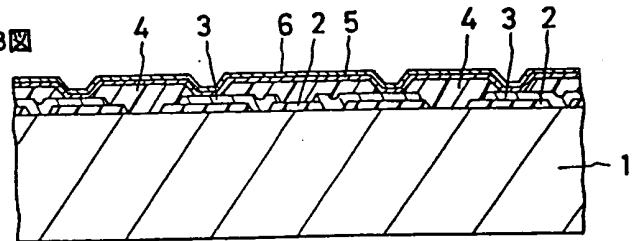
第1図



第2図

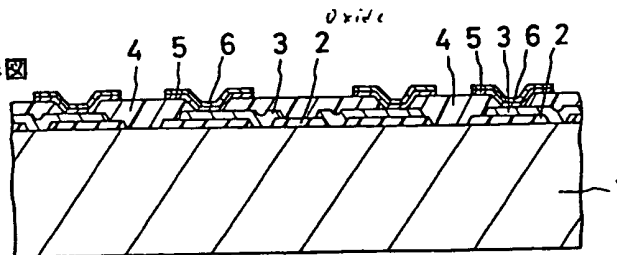


第3図

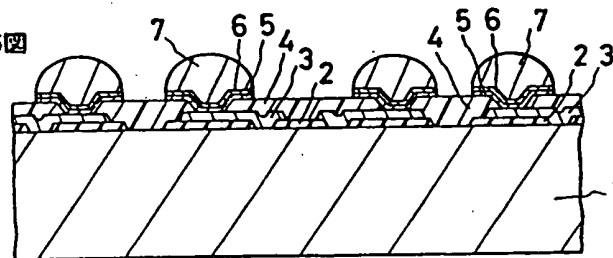


(7)

第4図



第5図



第6図

